

DERWENT- 2000-457436

ACC-NO:

DERWENT- 200040

WEEK:

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Information transfer system for multiplex communication network includes detecting circuits which determines clock failure in transmission lines based on which transmission data is selected

PATENT-ASSIGNEE: NIPPON DENKI ENG KK[NIDE]

PRIORITY-DATA: 1998JP-0347783 (November 20, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2000165365	A June 16, 2000	N/A	008	H04L 007/00

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2000165365A	N/A	1998JP-0347783	November 20, 1998

INT-CL (IPC): H04J003/14, H04L007/00 , H04L029/14

ABSTRACTED-PUB-NO: JP2000165365A

BASIC-ABSTRACT:

NOVELTY - Transceivers (1,2) are connected by data and clock lines (5,6). Clock break detecting circuits (106,107,204) detects the clock failure of transmission line. Selectors (109,205) selects the transmission data based on the failure detection result. A logic circuit synthesizes the output of input clock and clock break detecting circuits and is send to the receiver.

USE - For multiplex communication network.

ADVANTAGE - Number of connection lines between transceivers is reduced, thereby communication is effective even when the number of contact pins are limited. Need for oscillator is eliminated and thereby simplifies circuit design.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of information transfer system.

Transceivers 1,2

Data and clock lines 5,6

Clock break detecting circuits 106,107,204

Selectors 109,205

CHOSEN- Dwg.1/4
DRAWING:

TITLE- INFORMATION TRANSFER SYSTEM MULTIPLEX COMMUNICATE NETWORK
TERMS: DETECT CIRCUIT DETERMINE CLOCK FAIL TRANSMISSION LINE
BASED TRANSMISSION DATA SELECT

DERWENT-CLASS: W01 W02

EPI-CODES: W01-A04; W01-A07C; W01-B07; W02-K02B5A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-341460

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-206000

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月9日

H 04 Q 9/00

3 1 1 L

7060-5K

審査請求 有 発明の数 1 (全5頁)

⑮ 発明の名称 集約配線システムのフェールセーフ装置

⑯ 特 願 平2-234374

⑰ 出 願 昭62(1987)3月11日

前実用新案出願日援用

⑱ 発 明 者 杉 浦 一 正 茨城県勝田市大字高場2520番地 株式会社日立製作所佐和工場内

⑲ 発 明 者 平 山 善 一 茨城県勝田市大字高場2520番地 株式会社日立製作所佐和工場内

⑳ 発 明 者 浜 野 文 夫 茨城県勝田市大字高場2520番地 株式会社日立製作所佐和工場内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 武 頭 次郎

明 細 書

1. 発明の名称

集約配線システムのフェールセーフ装置

2. 特許請求の範囲

1. 伝送制御用の親局を備え、センサなどの信号発生型電装機器からのデータの取り込みと、負荷型電装機器に対する制御データの伝送とを複数個の子局を介して行なうようにした自動車内信号伝送用の集約配線システムにおいて、上記親局から受信した制御データを逐次更新保持してゆくデータ格納手段を上記子局の少なくとも1個に設け、伝送異常発生時、上記データ格納手段から読出したデータを上記負荷型伝送機器制御用のフェールセーフデータとして供給するように構成したことを特徴とする集約配線システムのフェールセーフ装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、多重データの伝送方式に係り、特に親局と子局間の多重データ伝送を行なう際の信頼

性向上のために好適なフェールセーフ方式に関する。

[従来の技術]

自動車には、各種のランプやモータなどの電装品、或いは各種のスイッチやセンサなどの電子装置(以下、前者を負荷型電装機器、後者を信号発生型電装機器といい、これらを含めて単に電装品という)が多数装備されており、その総数はカーエレクトロニクス化に伴なって増加の一途をたどっており、数百点におよぶ場合も珍らしくなってきた。

従って、これらの電装品に対して、いちいち個別に配線を施していたのでは、スペースや敷設施工の面で大きな問題となるので、これを解決するため、種々の集約配線システムが提案され、実用化されるようになってきた。

従来の集約配線システムは特開昭55-105490号公報に記載のように中央制御装置CCUと複数個の端末処理装置LCU間を情報伝送線路にて結合したもので、CCUはマイクロコンピュータと

伝送制御回路をそなえシステム全体の制御を行い、LCUは各種スイッチ、メータ、ランプ、センサなど自動車内に多数設置してある電気・電子機器を制御し、このため、これら機器の近傍に分散して設置してある。

[発明が解決しようとする問題点]

上記従来技術はフェールセーフデータの点について考慮されておらず、たとえば、情報伝送線路やコネクタ類が故障した際はCCUからLCUに制御指令が伝わらず、LCUに接続されている各種スイッチ、メータ、ランプ、センサが動作不能となる問題点があった。

本発明の目的は、伝送路故障時に各電気・電子機器に適切なフェールセーフデータを提供することにある。

[課題を解決するための手段]

上記目的は、親局から受信した制御データを逐次更新保持してゆくデータ格納手段を上記子局の少なくとも1個に設け、伝送異常発生時、上記データ格納手段から読出したデータを上記負荷型データが保持されている。従つて、このデータをフェールセーフデータとすることにより、伝送異常発生時にも安定した制御が可能になる。

これを、一実施例に即して詳細に言えば、応答時間計測回路はカウンタを有し、基準クロックにて動作している。このカウンタは正常動作中、受信データを1フレーム受信した後にフレーム受信信号が発生し、カウンタはクリアされる。しかし、異常発生時はカウンタはそのまま動作しオーバーフローするとフェールセーフレジスタがセットされ、これによりフェールセーフメモリの値が外部機器の制御データとなり、外部機器をコントロールする。また、異常から正常に回復した時は、フレーム受信信号によりフェールセーフレジスタがクリアされ正常動作となる。

[実施例]

以下、本発明の一実施例を第1図、第2図により説明する。第1図は伝送制御装置CIM1のブロック図で、入出力バッファ11、フェールセーフメモリ12、シフトレジスタ13、同期回路14、

送機器制御用のフェールセーフデータとして供給することにより達成される。

これを、一実施例に即して詳細に言えば、LCUがCCUにデータを送信した後に再びLCUがCCUからのデータを受信するまでの時間を計測するためのカウンタなどを用いた応答時間計測回路と、外部機器制御情報を保持するフェールセーフメモリと、このフェールセーフメモリを制御するフェールセーフレジスタを設け、正常伝送時にはフェールセーフメモリの値を機器制御情報で常に更新し、異常伝送時にはフェールセーフメモリの値により各機器を制御する。また、異常状態から正常状態に回復した時には、フェールセーフレジスタをクリアすることでフェールセーフメモリの出力をオフし、再び親局からの制御情報により制御することで達成される。

[作用]

伝送異常が発生すると、データ格納手段のデータの更新が行なわれなくなるから、このデータ格納手段には、その直前に親局から受信した制御デ

伝送制御回路2、アドレスチェック回路15により構成される。第2図は伝送制御回路2の詳細ブロック図で、シフトクロック同期回路21、応答時間計測回路22、フェールセーフレジスタ23、AND回路24から成っている。

次にこの実施例の動作の詳細を第3図、第4図のフローチャートを基に説明する。

第3図は本実施例の動作の主フローである。

- 31) CIM1は受信端子を監視し、受信信号が入力されると処理35)に移り、入力がない時は処理32)を行う。
- 32) 同期回路14はシフトクロックA105を発生し、これをAND回路25と応答時間計測回路22に送出する。応答時間計測回路22はCCUとLCU間のデータ伝送間隔以上の時間計測を行う多段カウンタを有しており、シフトクロックA105の入力により、カウンタ値を更新する。
- 33) 応答時間計測回路内のカウンタ値がCCUとLCUとの送受信に必要とされる所定値と

比較する。所定値と不一致の時は処理31)に戻る。

34) 所定値と一致した場合は、CCUからのデータがこない時であり、フェールセーフレジスタ23がセットされこれによりフェールセータメモリ12の値が入出力バッファ11の制御情報としてセットされ入出力端子はこの制御情報によりコントロールされる。上述した処理が終了すると処理31)へ戻る。

35) データ受信処理であり以下に第4図を基に詳細に説明する。処理終了後、処理31)へ戻る。第4図は受信処理フローである。

41) 受信データが受信端子からCIM1に入力されるとCIM1は同期回路14により入力データのスタートビットを抽出する。

42) 同期回路14はスタートビットを基準に入力データの各ビットを抽出するための同期信号107が送出される。同期信号107はAND回路25をONにし、シフトクロックA105を伝送制御回路2に送出可能とする。

にアドレス一致信号106を出力する。また、シフトレジスタ13からなるフレーム受信信号103が伝送制御回路2に対して出力され、伝送制御回路2内のAND回路24を介しカウンタクリア信号が応答時間計測回路22とフェールセーフレジスタ23に入力される。このカウンタクリア信号により応答時間計測回路22内のカウンタはイニシャライズされ、フェールセーフレジスタ23はクリアされる。そして、このカウンタクリア信号により入出力バッファ11とフェールセーフメモリ12に受信した制御データがセットされる。

そして、この制御データにより入出力端子がコントロールされる。

以上述べたように、本実施例によれば常に応答時間計測回路内でデータ伝送間隔を計測しており、伝送異常によりデータ受信がとだえた場合は、直前のデータをフェールセーフデータとして保持しており、継続的に機器を動作でき、伝送異常による機器のデッドロックをさける効果がある。また、

43) 伝送制御回路2内では、このシフトクロックA105はシフトクロック同期回路21に入力され、このシフトクロック同期回路21はシフトレジスタ13に対し、シフトクロックB104を発生し、シフトレジスタ13はこのシフトクロックB104を受けると1ビットデータを読取る。

44) また、伝送制御回路2内でシフトクロックA105は分割され、応答時間計測回路22にも入力され応答時間計測回路22内のカウンタを更新する。

45) シフトレジスタ13に所定のビット長のデータが読取られるまで処理43)、44)をくり返す。

46) シフトレジスタ13に所定ビット長のデータが読取られると、この読取りデータのアドレス部とアドレスチェック回路15にセットされている自己アドレスとを比較する。

47) 処理46)において比較結果が一致すると、アドレスチェック回路15は伝送制御回路2

常に受信状態を監視しているので異常状態においてデータを受信すると受信動作を行い、自動的に正常に復帰でき、外部からの操作を必要としない効果がある。

[発明の効果]

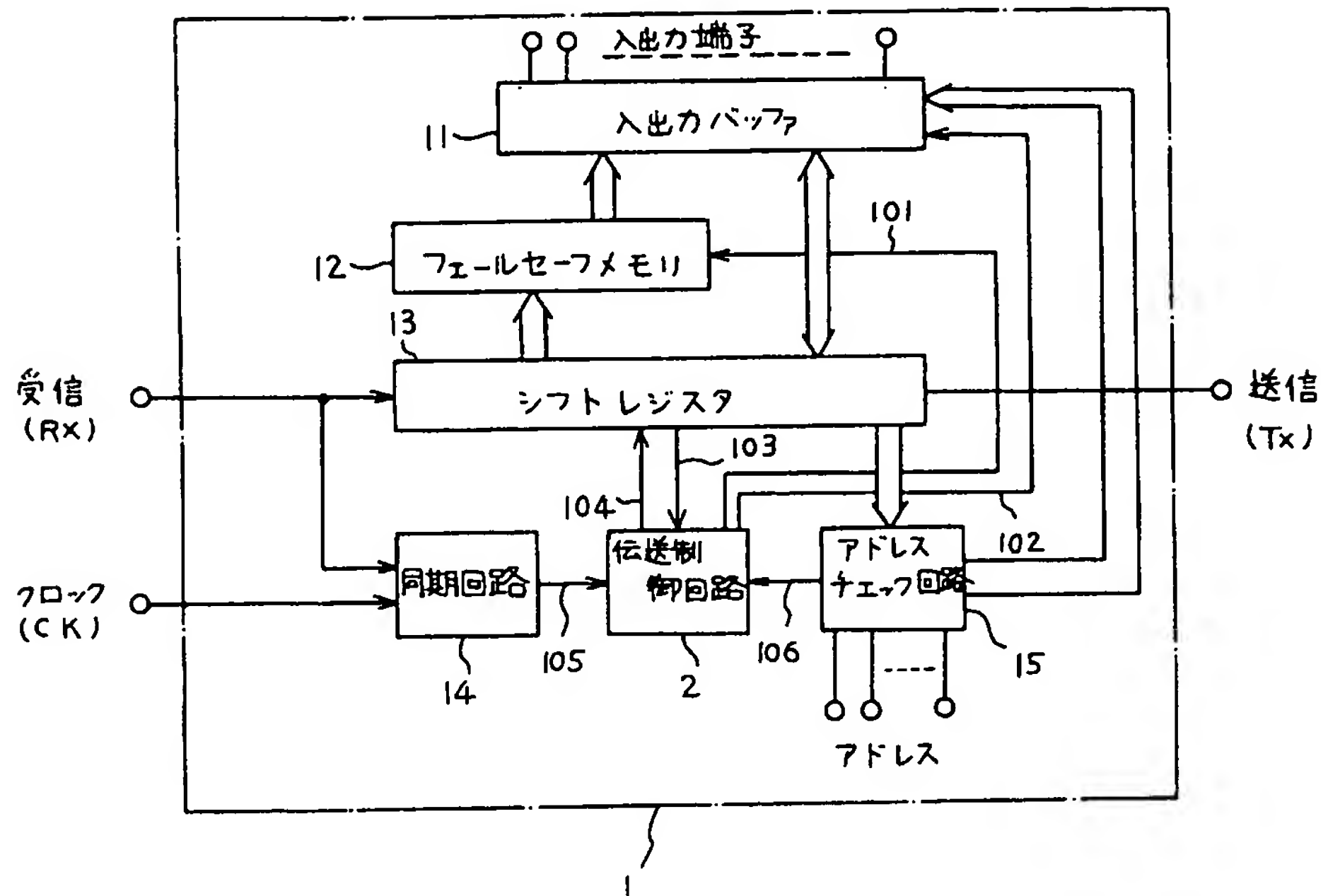
本発明によれば、伝送異常が発生してもその影響を受ける機器が現状を維持でき、信頼性の向上をはかる効果がある。

4. 図面の簡単な説明

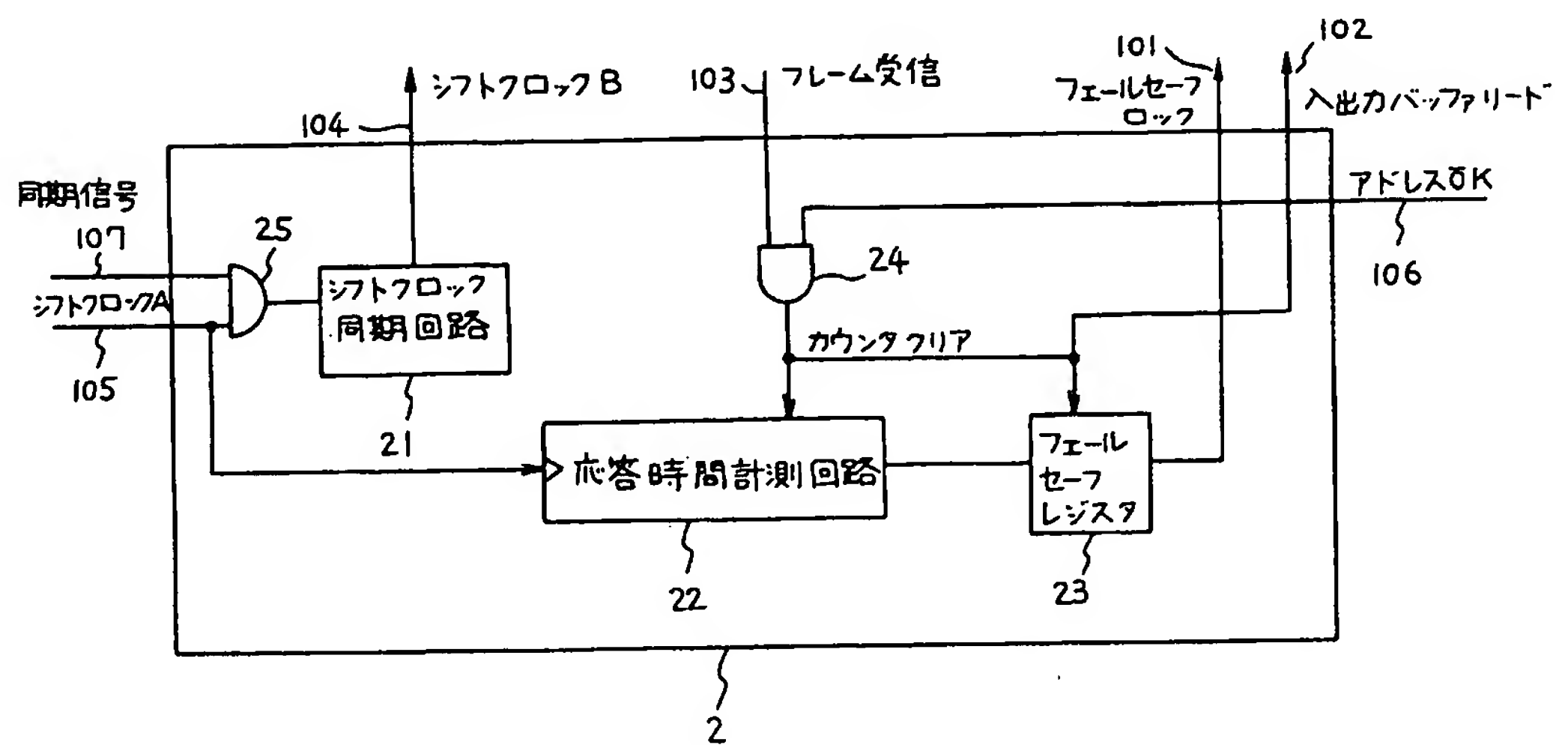
第1図は本発明の一実施例を示すブロック図、第2図は伝送制御回路のブロック図、第3図は動作フロー図、第4図は受信動作フロー図である。
1……伝送制御装置、2……伝送制御回路、11……入出力バッファ、12……フェールセーフメモリ、13……シフトレジスタ、14……同期回路、15……アドレスチェック回路、21……シフトクロック同期回路、22……応答時間計測回路、23……フェールセーフレジスタ。



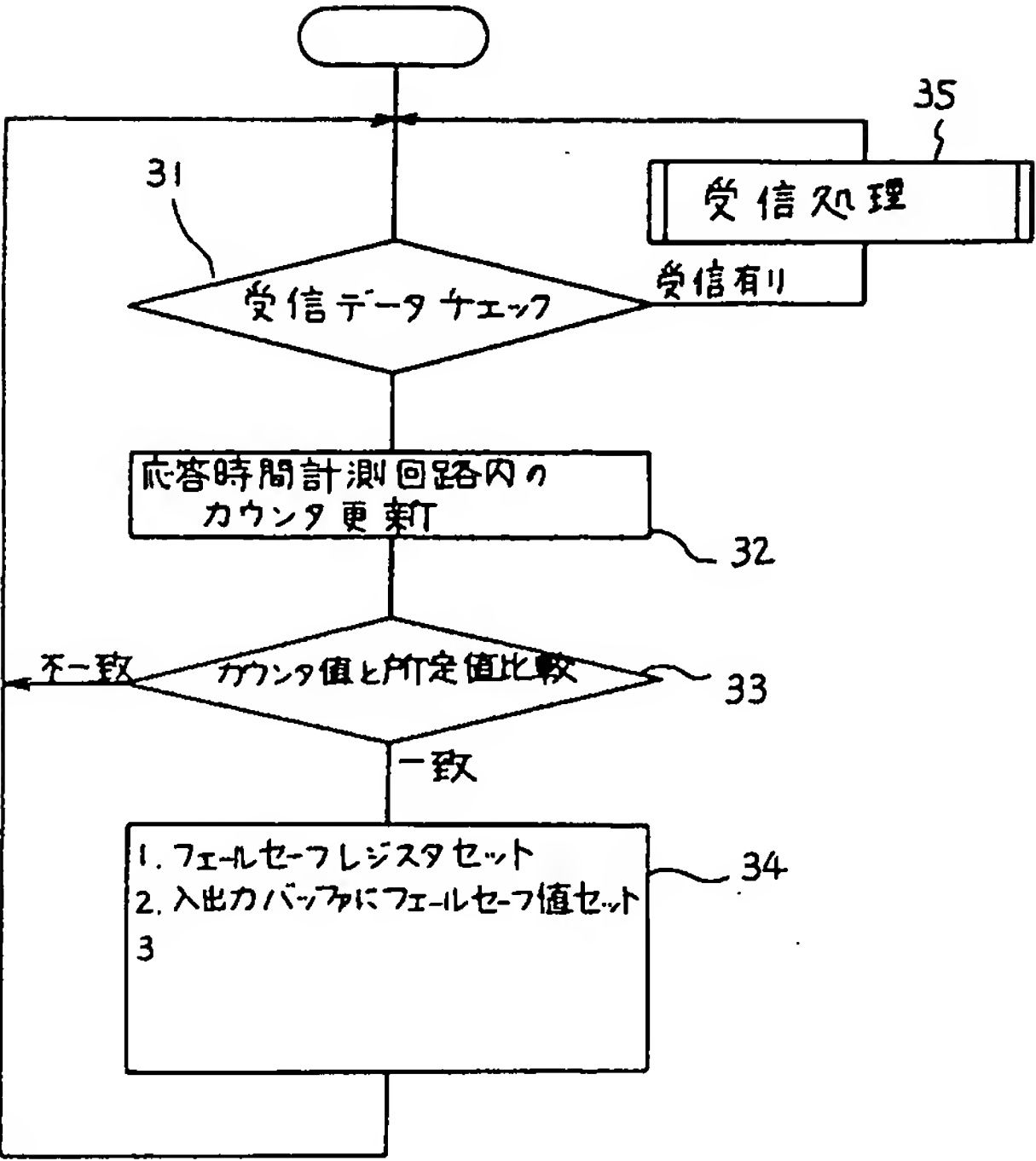
第1図



第2図



第3図



第4図

